

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-125913

(43) 公開日 平成10年(1998) 5月15日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 29/78
21/8234
27/088
27/115
21/8247

H 0 1 L 29/78 3 0 1 S
27/08 1 0 2 D
27/10 4 3 4
29/78 3 7 1

審査請求 未請求 請求項の数 7 O L (全 9 頁) 最終頁に続く

(21) 出願番号

特願平8-280863

(22) 出願日

平成8年(1996)10月23日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 寺本 茂樹

東京都品川区北品川6丁目7番35号 ソニー株式会社内

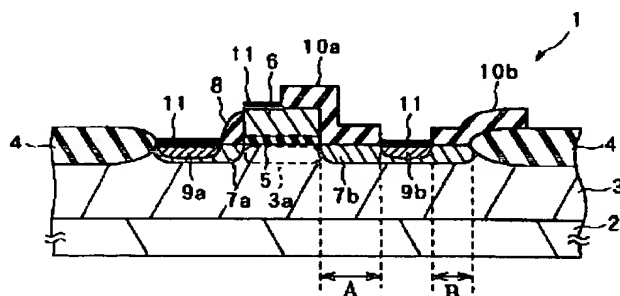
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【要約】

【課題】 高耐圧トランジスタの駆動能力および耐圧低下を防止し、同時に、他のトランジスタのゲート電極の帯電を防止して信頼性を高める。

【解決手段】 少なくとも一方の不純物領域が、チャネル形成領域3a側から順に、低濃度なオフセット不純物領域A、高濃度な不純物領域9b、低濃度なオフセット不純物領域Bを隣接させて構成され、オフセット不純物領域A、B上を覆い高濃度な不純物領域9b上で開口するオフセット領域保護用の絶縁膜10a、10bを、チャネル形成領域3aを挟んだ他の不純物領域7a上に接する絶縁層（例えば、側壁スペーサ層8）に対し、その離間方向に分離したかたちで有する。これにより、オフセット不純物領域A、Bが保護されて当該高耐圧トランジスタ1の I_{ds} について初期値低下や動作時劣化が防止され、また、不純物領域7bについて、その部分的なシリサイド化等が可能となる。



【特許請求の範囲】

【請求項1】 半導体基板内の表面側でチャネル形成領域を挟んで互いに離間する2つの不純物領域を具備し、少なくとも一方の前記不純物領域が、前記チャネル形成領域側から順に、低濃度なオフセット不純物領域、高濃度な不純物領域、低濃度なオフセット不純物領域を隣接させて構成してある高耐圧トランジスタを有する半導体装置であって、

前記オフセット不純物領域上に覆い前記高濃度な不純物領域上で開口するオフセット領域保護用の絶縁膜を、前記2つの不純物領域の他方上に接する絶縁層から、その離間方向に分離したかたちで有する半導体装置。

【請求項2】 前記絶縁層は、前記チャネル形成領域上にゲート絶縁膜を介して配置されたゲート電極の側壁スペーサ層である請求項1に記載の半導体装置。

【請求項3】 前記オフセット領域保護用の絶縁膜によって開口された少なくとも前記高濃度な不純物領域上に、導電層を更に有する請求項1に記載の半導体装置。

【請求項4】 前記高耐圧トランジスタの他に、メモリトランジスタを多数有し、

前記メモリトランジスタのゲート電極を覆う最下層の絶縁膜が、前記オフセット領域保護用の絶縁膜と同一な階層の膜で構成されている請求項1に記載の半導体装置。

【請求項5】 半導体基板内の表面側に、チャネル形成領域を挟んで互いに離間する2つの低濃度な不純物領域を形成した後、全面に絶縁膜を成膜し、成膜した絶縁膜を加工して、当該絶縁膜を前記低濃度な各不純物領域上にそれぞれ部分的に残存させる半導体装置の製造方法であって、

前記絶縁膜を全面に成膜した後、前記2つの低濃度な不純物領域の離間方向に沿って見るとその一方の低濃度な不純物領域の中央部分上方で開口し、前記基板に垂直な方向から見ると少なくとも前記チャネル形成領域上まで延びる犠牲層を形成し、

当該犠牲層をマスクとして前記加工を選択的行なった後に、

当該加工による前記基板の露出面に高濃度な不純物領域を形成する半導体装置の製造方法。

【請求項6】 前記加工は、異方性のドライエッチングにより行なう請求項5に記載の半導体装置の製造方法。

【請求項7】 前記高濃度な不純物領域の形成後、導電層を少なくとも当該高濃度な不純物領域上に選択的に形成する請求項5に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、例えば不揮発性メモリ等、高耐圧トランジスタを含む半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 たとえば不揮発性半導体メモリや高耐圧

仕様のマイクロプロセッサ等、高電圧を扱う半導体装置において、高電圧をオペレーションするためのトランジスタは、比較的到低い電圧で駆動する通常のトランジスタと構造が若干異なっている。

【0003】 図8には、この高耐圧トランジスタの一例を、通常のトランジスタと比較して示す。同図(a)は、通常のトランジスタ例として、LDD(Lightly Doped Drain)構造のnチャネルMOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor)の概略断面図である。また、同図(b)は、高耐圧nチャネルMOSFETの概略断面図である。図8において、符号100はシリコンウェーハ等の半導体基板、101はpウェル、102はフィールド酸化膜、103はゲート絶縁膜、104はゲート電極、105a、105bはn型不純物が比較的到低濃度に導入されたLDD領域、106はサイドウォール、107a、107bはそれぞれn型不純物が比較的到高濃度に導入されたソース領域、ドレイン領域である。

【0004】 図8(b)に示す高耐圧nチャネルMOSFETは、同図(a)に示す通常のMOSFETと比較すると、高電圧印加側(nチャネル型では、ドレイン)の不純物領域105b、107bの構造が若干異なっている。すなわち、通常のMOSFETでは、ゲート電極104とドレイン領域107bとのオフセット量は自己整合的にサイドウォール106の幅に決められているのに対し、高耐圧MOSFETでは、両者間にサイドウォール106幅より大きなオフセットAをもたせてある。加えて、高耐圧MOSFETでは、ドレイン領域107bとフィールド酸化膜102との間でも、通常のMOSFETにはないオフセットBをもたせてある。このようなオフセット構造のFETでは、高電圧が印加されるドレイン領域107bについて、ゲート電極104あるいはフィールド酸化膜102との間で電界集中が緩和され、この結果、通常のMOSFETに比べると、耐圧(ソース・ドレイン間耐圧、ゲート・ドレイン間耐圧)が高く、また素子間の絶縁分離特性もよい。

【0005】 図9(a)～(d)は、上記構成の高耐圧MOSFETの製造過程の一部を抜き出して示す概略断面図である。図9(a)より前の工程については、特に図示しないが、まずpウェル101が形成された半導体基板(p型の半導体基板でも可)を用意し、常法に従ってフィールド酸化膜102を形成した後、ゲート絶縁膜103とゲート電極104となる膜を成膜し加工する。その後、加工後のゲート電極104とフィールド酸化膜102をマスクとしたイオン注入によって、LDD領域105a、105bを自己整合的に形成する。図9(a)には、このイオン注入後の状態を示す。

【0006】 次いで、例えば酸化シリコン膜または窒化シリコン膜等の膜106aを全面に成膜し(図9(b))、ゲート電極材料や半導体基板と選択比がとれ

3

る条件で、この形成膜全面に対しRIE(Reactive Ion Etching)等の異方性エッチングを施し、形成膜をエッチバック(etch back)する。これにより、ゲート電極104の側壁にサイドウォール106が形成される(図9(c))。

【0007】図8(a)に示した通常の高耐圧MOSFETでは、その後、サイドウォール106およびフィールド酸化膜102をマスクとしたイオン注入によってソース領域107aとドレイン領域107bを自己整合的に形成するのであるが、当該高耐圧MOSFETでは、先に記述したオフセット構造を実現するために、図9(d)に示すように、犠牲層(例えばレジストパターン108)を、ドレイン側のLDD領域上から周囲のゲート電極104上やフィールド酸化膜102上途中にかけて形成する。このレジストパターン108によって、図9(d)に示すように、図8(b)のオフセットA、Bとなる部分が被覆され、その間が部分的に開口される。したがって、このレジストパターン108をマスクとしてイオン注入を行なうと、図8(b)に示すように、ドレイン側では、このレジストパターン108の開口位置にドレイン領域107bが形成される。他方、ソース側では、通常の高耐圧MOSFETと同様に、サイドウォール106およびフィールド酸化膜102に対し自己整合的にソース領域107aが形成される。この後は、特に図示しないが、所定の配線層等の形成によって電極取出しが行なわれる。

【0008】

【発明が解決しようとする課題】この従来の高耐圧MOSFETの製造方法では、図9(b)から同図(c)にかけて、サイドウォール106を形成するためのエッチバックの際、通常、オーバーエッチング(over etching)が施される。すなわち、サイドウォール膜材106aの膜厚やエッチングのされ方がウェーハ面内で均一とは限らないことから、ウェーハ面内どの箇所においてもソース領域107aやドレイン領域107bとなる部分に当該膜材106aが残らないようにするために、ジャストエッチ(just etch)の時間から更に所定割合だけ長い時間(または、膜厚で規定してもよい)だけ余分にエッチングされる。したがって、このRIE等におけるオーバーエッチング時に、LDD領域105a、105bの露出表面がイオン化粒子等で叩かれることになる。

【0009】このとき、当該膜材106aとシリコン基板(厳密には、LDD領域105a、105b)との選択比が余り大きくない場合も少なくない。たとえば、酸化シリコン膜とシリコンとの選択比は通常3~5程度であり、この場合、オーバーエッチングによって表出するLDD領域105a、105bの表面が割れることは免れ得ない。図8(a)の通常の高耐圧MOSFETでは、この割れた表面全体に、その後高濃度な不純物領域107a、107bが形成されることから、この表面割れが特

4

性上問題となることは少ない。これに対し、同図(b)の高耐圧MOSFETでは、図中、符号Cで示す電流経路途中のオフセット領域表面が割れることから、この部分が高抵抗化してしまい、ソース・ドレイン間電流 I_{ds} がとれなくなるといった問題があった。

【0010】加えて、このオフセット領域表面Cを含むLDD領域の表出部分は、オーバーエッチング時にプラズマに曝されるため、その後に層間膜を形成したときに層間膜とLDD領域との界面に界面準位が残ってしまい、トランジスタ動作を繰り返すうちに、界面準位に電子が次第に捕獲され、この結果、図10に示すように I_{ds} が低下し、ひいては駆動能力が劣化するといった問題もあった。この2番目の問題は、特にトランジスタサイズを縮小化しゲート長やオフセットA、Bを短く設定した場合に顕著になってくることから、今後、高耐圧トランジスタを有する半導体装置の更なる微細化を進めていく上で、今以上に重要な解決課題となるものと予想される。

【0011】一方、この微細化過程で高速性を確保するためには、スケーリング則にのっとって不純物領域の深さ方向にも微細化(極浅化)を同時に進めなければならない。このときの不純物領域の低抵抗化技術の一つにSALICIDE(Self-Aligned Silicide)と称され、不純物領域をゲート電極とともに自己整合的にシリサイド化する技術がある。このシリサイドの形成のためには、特定な高融点金属等の膜を全面に成膜し、熱処理を施してシリコン或いはポリシリコン(ゲート電極材)と反応させ、その後、未反応な絶縁膜上の金属膜を酸等で除去することが、通常行なわれる。

【0012】SALICIDE技術をそのまま高耐圧トランジスタに適用した場合、上記のように熱処理が必要なことから、図10(d)におけるレジストパターン108を予め除去した後に、シリサイドの一括形成を行なう。このため、シリサイドの一括形成後は、図11に示すように、シリサイド109がゲート電極104上と不純物領域105a、105b、107a、107bの露出表面上全域に形成され、図8(b)のオフセット領域Cにもシリサイド109が形成されてしまうため、オフセットを設けた意味が失われ、電界緩和を行うことが出来ずに耐圧が低下してしまう。すなわち、高速デバイスに高耐圧トランジスタを搭載しようとした場合に、SALICIDE(又は、シリサイド)技術をそのまま適用できず、この結果、高耐圧トランジスタが必要なデバイスは高速化ができないといった問題があった。

【0013】以上は、高耐圧トランジスタ自体について、従来製法における諸問題を指摘した。つぎに指摘しなければならないのは、従来製法が高耐圧用以外のトランジスタ特性に与える影響である。たとえば、不揮発性メモリは、メモリアレイとその周辺回路とから構成されており、周辺回路に高耐圧トランジスタを備えている。

5

不揮発性メモリでは、周辺回路の高耐圧トランジスタを上述してきた方法で形成し、しかもプロセスが複雑化するのを防止する観点ではメモリアレイ内のメモリランジスタも同時形成することが望ましい。そうした場合、図9(b)から同図(c)にかけて行なうエッチバックは、ウェーハ全面に対して施されることから、メモリトランジスタについてもサイドウォールが形成される。このサイドウォールは、不揮発性のメモリトランジスタでは必ずしも必要としない場合も多い。なぜなら、不揮発性メモリでは、一般に、CHE(Chanel HotElectron)によって電荷を注入したり、ゲート電極と高濃度不純物領域とのオーバーラップ部分で電荷を引き抜くことが多いため、むしろLDD構造としない方がよい場合も多いからである。

【0014】トランジスタ特性に関していえば、サイドウォールが形成されること自体が特性劣化に直接結びつくものではない。ところが、絶縁膜上に形成され、この時点で他の導電層に接続されていないゲート電極が、サイドウォール形成時のエッチバック時にプラズマに曝されると、ゲート電極がチャージアップし、メモリトランジスタのゲート酸化膜が劣化してしまうおそれ強いという問題がある。チャージアップする点では、周辺回路の高耐圧トランジスタも同様である。しかし、数が圧倒的に多く縮小化要請の強いメモリトランジスタにおいては、このサイズ縮小や低電圧化にともなってゲート絶縁膜が薄くなっており、このためゲート電極のチャージアップによってメモリトランジスタのゲート酸化膜は劣化し易い傾向にある。また、周辺回路のトランジスタは単なるスイッチング用であるのに対し、メモリトランジスタは蓄積電荷量に応じて情報の“0”または“1”を記憶させるものである。したがって、不揮発性メモリトランジスタのゲート絶縁膜については、その劣化が蓄積電荷のリークといった致命的な特性劣化に直結しやすく、この意味で劣化防止を図る要請が強い。

【0015】本発明は、このような実情に鑑みてなされ、高耐圧トランジスタの駆動能力および耐圧の低下を防止し、加えて他のトランジスタ特性についてゲート電極の帯電も防止して信頼性を高めた半導体装置及びその製造方法を提供することを目的とする。

【0016】

【課題を解決するための手段】上述した従来技術の問題点を解決し、上記目的を達成するために、本発明の半導体装置では、サイドウォール形成時等にオフセット領域を保護するオフセット領域保護用の絶縁膜を具備させることとした。すなわち、本半導体装置は、半導体基板内の表面側でチャンネル形成領域を挟んで互いに離間する2つの不純物領域を具備し、少なくとも一方の前記不純物領域が、前記チャンネル形成領域側から順に、低濃度なオフセット不純物領域、高濃度な不純物領域、低濃度なオフセット不純物領域を隣接させて構成してある高耐圧ト

6

ランジスタを有する半導体装置であって、前記オフセット不純物領域上に覆い前記高濃度な不純物領域上で開口するオフセット領域保護用の絶縁膜を、前記2つの不純物領域の他方上に接する絶縁層(例えば、側壁スペーサ層)に対し、その離間方向に分離したかたちで有することを特徴とする。これにより、オフセット不純物領域が保護され、当該高耐圧トランジスタの I_{ds} の初期値低下や動作時劣化が防止される。

【0017】たとえば、オフセット不純物領域が絶縁膜で覆われ、この領域上にシリサイドが形成されないことから、当該高耐圧トランジスタの不純物領域について、その部分的なシリサイド化が可能となる。すなわち、このような場合の本半導体装置では、少なくとも前記オフセット領域保護用の絶縁膜によって開口された前記高濃度な不純物領域上に、導電層を更に有することを他の特徴とする。

【0018】さらに、メモリトランジスタのゲート電極を覆う最下層の絶縁膜を、前記オフセット領域保護用の絶縁膜と同一な階層の膜で構成させることによって、例えばメモリトランジスタのゲート電極のチャージアップ、ひいてはゲート絶縁膜の劣化防止等を図ることが可能となる。

【0019】本発明に係わる半導体装置の製造方法では、半導体基板内の表面側に、チャンネル形成領域を挟んで互いに離間する2つの低濃度な不純物領域を形成した後、全面に絶縁膜を成膜し、成膜した絶縁膜を加工して、当該絶縁膜を前記低濃度な各不純物領域上にそれぞれ部分的に残存させる半導体装置の製造方法であって、前記絶縁膜を全面に成膜した後、前記2つの低濃度な不純物領域の離間方向に沿って見るとその一方の低濃度な不純物領域の中央部分上方で開口し、前記基板に垂直な方向から見ると少なくとも前記チャンネル形成領域上まで延びる犠牲層を形成し、当該犠牲層をマスクとして前記加工を選択的に行なった後、当該加工による基板の露出面に高濃度な不純物領域を形成することを特徴とする。

【0020】

【発明の実施の形態】以下、本発明に係わる半導体装置およびその製造方法を、図面を参照しながら詳細に説明する。

【0021】第1実施形態

図1は、本実施形態に係わる半導体装置の要部を示す概略断面図である。図中、符号1は高耐圧トランジスタ、2はシリコンウェーハ等の半導体基板、3はpウェル、3aはチャンネル形成領域、4はフィールド酸化膜、5はゲート絶縁膜、6はゲート電極、7a、7bはn型不純物が比較的到低濃度に導入されたLDD領域、8はサイドウォール、9a、9bはそれぞれn型不純物が比較的に高濃度に導入されたソース領域、ドレイン領域である。

7

【0022】本実施形態の高耐圧トランジスタ1では、図1に示すように、ソース側（図の左側）とドレイン側（図の右側）の不純物領域が非対称に構成されている。すなわち、ソース側は、通常のLDD構造と同様に、そのLDD領域7aがゲート電極6とフィールド酸化膜4とに対し自己整合的に形成されている。また、ソース領域9aは、ゲート電極6の側壁に形成された側壁スペーサ層（サイドウォール8）とフィールド酸化膜4とに対し自己整合的に形成されている。

【0023】一方、ドレイン側では、そのLDD領域7bがゲート電極6とフィールド酸化膜4とに対し自己整合的に形成されていることはソース側と同じであるが、そのゲート電極6とフィールド酸化膜4との距離がソース側より大きく設定されており、その分、LDD領域7bも長く形成されている。

【0024】また、ソース側のようなサイドウォールは形成されておらず、その代わりに、ゲート電極6の上面途中からフィールド酸化膜4上の途中にかけて、オフセット領域保護用の絶縁膜10a、10bが形成されている。オフセット領域保護用の絶縁膜10a、10bによって、ゲート電極6とフィールド酸化膜4との対向間隔途中で下地のLDD領域7bが開口しており、この開口面にドレイン領域9bが形成されている。このオフセット領域保護用の絶縁膜10a、10bは、完全に分離されるか、図に垂直な手前又は奥側で連続して一体に形成されている。なお、この図では、ソース領域9aおよびドレイン領域9bは、それぞれのLDD領域7a、7bより浅く形成されている。これは空乏層が延びることを抑えた方が高耐圧化に有利なためであるが、これに限らず、一般のLDD構造と同様に高濃度領域を低濃度領域より深く形成してもよい。

【0025】オフセット領域保護用の絶縁膜10a、10bに被覆されていないゲート電極6部分、およびソース領域9a、ドレイン領域9b上は、所定金属のシリサイド等からなる導電層11が形成されている。

【0026】この図示例の高耐圧トランジスタ1において、ソース側は、ゲート電極6とソース領域9aとのオフセット量は自己整合的にサイドウォール8の幅に決められているのに対し、ドレイン側は、ゲート電極6とドレイン領域9bとの間にサイドウォール8の幅より大きなオフセットAをもたせてある。加えて、ドレイン領域9bとフィールド酸化膜4との間でも、オフセットBをもたせてある。そして、この両オフセットA、B部分の表面が、それぞれオフセット領域保護用の絶縁膜10a、10bによって保護されている。このようなオフセット構造のFETでは、高電圧が印加されるドレイン領域9bについて、ゲート電極6あるいはフィールド酸化膜4との間で電界集中が緩和され、この結果、耐圧（ソース・ドレイン間耐圧、ゲート・ドレイン間耐圧）が高めてある。

8

【0027】なお、本発明では、図1とは逆にソース側について、表面を絶縁膜で保護されたオフセット構造としてもよいし、例えばドレインとソースが入れ替わるスイッチとして用いるトランジスタ等においては、ソースおよびドレイン双方について、表面を絶縁膜で保護されたオフセット構造を採用しても構わない。

【0028】つぎに、図1の高耐圧トランジスタを例に、本発明の半導体装置の製造方法を、図面を参照しながら説明する。ここで、図2～6は、それぞれ図1に示す高耐圧トランジスタの各製造過程を示す概略断面図である。図2では、まずシリコンウェハ等の半導体基板2を用意し、その表面に例えばイオン注入法でp型不純物を導入すること等によってpウェル3を形成した後、例えばLOCOS(Local Oxidation of Silicon)法を用いてフィールド酸化膜4を選択的に形成する。フィールド酸化膜4を形成するには、特に図示しないが、まずパッド用酸化膜、窒化シリコン膜などの酸化阻止膜を、この順に積層し、これらをドライエッチングにより所定パターンに加工した後、LOCOS酸化を行なう。これにより、素子間分離が達成される。

【0029】つぎに、必要に応じてチャネルストップ用のイオン注入を行い、そのアニール後に、上記酸化阻止膜を除去し、この上に熱酸化法等を用いてゲート酸化膜5を成膜する。これにより、図2に示すように、フィールド酸化膜4によって囲まれた活性領域上が、ゲート酸化膜5で被膜される。

【0030】次いで、例えばCVD（Chemical Vapor Deposition）法を用いて、全面にポリシリコン膜を堆積した後、このポリシリコン膜にP（リン）等をドーブして導電化する。そしてフォトリソグラフィ技術及びエッチング技術を用いて、図3に示すように、ポリシリコン膜およびゲート酸化膜5を所定の形状にパターニングし、ゲート電極6を形成する。ゲート電極6の材質は、特に限定はないが、本実施形態では後でサリサイド化することから、これを考慮してポリシリコン膜を選択した。なお、ゲート酸化膜5を残しておいて、次のイオン注入のスルー膜として用いてもよい。

【0031】このゲート電極6およびフィールド酸化膜4をマスクに、イオン注入法により活性領域表面にLDD領域7a、7bを形成する。具体的には、例えばAsイオン等を注入した後、注入イオンを電氣的に活性化するための熱処理を行う。これにより、pウェル3表面に、チャネル形成領域3aを挟んで相対する2つのLDD領域7aと7bとが、ゲート電極6に対して自己整合的に形成される。

【0032】その後、図4に示すように、例えば酸化シリコン膜または窒化シリコン膜等からなる膜8aを全面に成膜する。そして、図5に示すように、成膜した膜8a上に犠牲層としてのレジストパターン12を形成する。これによって、レジストパターン12には、LDD

10

20

30

40

50

領域7a、7bの離間方向に沿ってみると図1に示し先に説明したように、それぞれゲート電極6からのオフセットAとなる部分と、フィールド酸化膜4からのオフセットBとなる部分とに挟まれたLDD領域部分の上方に、開口部12aが形成される。また、レジストパターン12は、LDD領域7a、7bの離間方向に沿ってみると、ゲート酸化膜6およびフィールド酸化膜4上方の途中まで延在している。

【0033】このレジストパターン12をマスクとして、例えばRIE(Reactive Ion Etching)法により異方性エッチングを施す。これにより、図6に示すように、ドレイン側にオフセット領域保護用の絶縁膜10a、10bが形成され、同時にソース側にはゲート電極6の側壁スペーサ層として、サイドウォール8が形成される。続いて、ゲート電極6、フィールド酸化膜4のほか、このサイドウォール8およびオフセット領域保護用の絶縁膜10a、10bをマスクとして、イオン注入法により、LDD領域7a、7b内にソース領域9aおよびドレイン領域9bを形成する。具体的には、例えばAsイオンまたはPイオン等を比較的に高濃度に注入した後、注入イオンを電氣的に活性化するための熱処理を行う。

【0034】そして、図1に示すように、表面に露出したゲート電極6および不純物領域9a、9b上に、高融点金属シリサイド等からなる導電層11を自己整合的に形成する。いわゆるシリサイドの形成である。具体的には、所定の高融点金属からなる金属層を例えばスパッタ法等によって全面に皮膜し、熱処理により露出表面部分のみシリサイド化した後、酸化膜上にあってシリサイド化していない金属層を酸で除去する方法、あるいは、CVD法で露出表面部分のみに金属層を選択的に形成し熱処理でシリサイド化する方法などにより、この導電層11が形成される。なお、今までの説明では、ゲート電極6をポリシリコン膜から構成させるとしたが、ゲート電極6が他の材料、例えばアルミニウム(A1)等の場合では、ゲート電極6上には抵抗抗化のための導電層11は形成されない。

【0035】その後は、特に図示しないが、層間絶縁層成膜、コンタクトホール形成、金属配線層形成、オーバーコート膜成膜、パッド窓開け等を経て、当該半導体装置を完成させることができる。

【0036】本発明の半導体装置は、以上説明してきたように、LDD領域7bのオフセットA、Bとなる部分の表面上に、LDD領域形成直後にオフセット保護用の絶縁膜10a、10bが形成され、最後まで被膜されている。このため、このオフセット保護用の絶縁膜10a、10bおよびサイドウォール8形成時の異方性エッチング等の際、LDD領域7bのオフセットA、Bとなる部分が、イオン化粒子等でたたかれることはない。したがって、従来から問題であったこのオフセット領域の表面が削れて高抵抗化し、Ids がとれなくなるといった

事態を構造上回避できる。また、オフセット領域がプラズマに曝されるまえに、絶縁膜10a、10bで被膜されるため、絶縁膜10a、10bと半導体基板(厳密には、pウェル3)との界面に界面準位が残ることもなく、従来から問題であったトランジスタ動作を繰り返すうちに、この界面準位に電子が捕獲されて駆動能力が低下してしまうという問題も、構造上回避できる。

【0037】また、不純物領域のシリサイド、またはシリサイド技術をそのまま導入した場合でも、オフセット領域にはシリサイド等の導電層11が形成されず、このため、従来懸念されていたような、オフセット領域で電界緩和を行うことが出来ずに耐圧が低下してしまうことは起こらない。

【0038】第2実施形態

本実施形態は、上記した第1実施形態における高耐圧トランジスタを、不揮発性メモリの周辺回路に用いた場合である。図7には、この不揮発性メモリの要部を示す概略断面図である。この不揮発性メモリは、メモリトランジスタを行列状に多数配列させたメモリアレイと、周辺回路とから構成されている。周辺回路は、第1実施形態で説明した高耐圧トランジスタ1を備えている。

【0039】本実施形態では、メモリアレイを構成するメモリトランジスタについて、そのゲート電極を覆う最下層の絶縁膜10cが、先に説明した周辺回路側で高耐圧トランジスタ1のオフセット領域保護用の絶縁膜10a、10bと同じ階層の膜で構成されている。具体的に、第1実施形態の製造過程において説明すると、図3でゲート電極6およびLDD領域7a、7bを形成し、つぎに図4で膜8aを成膜するまえには、図7のメモリトランジスタの各ゲート電極と不純物領域の形成が既に終了している。したがって、図4における膜8aの成膜時に、このメモリトランジスタの各ゲート電極と不純物領域上も同じ膜8aで覆われる。そして、図5のレジストパターン12が、図7のメモリアレイのほぼ全域にも形成され、これを異方性エッチングすることによって、図7において、周辺回路側のサイドウォール8やオフセット保護用の絶縁膜10a、10bと同時に、メモリアレイ側を覆う絶縁膜10cが形成される。その後は、第1実施形態と同様に、周辺回路側の高濃度領域9a、9bを形成した後、各電極の取り出す配線層等を形成する。

【0040】本実施形態の半導体装置によれば、周辺回路側では、サイドウォール8やオフセット保護用の絶縁膜10a、10bの加工時に、ゲート電極6がプラズマに曝されるものの、メモリアレイ側のメモリトランジスタのゲート電極は絶縁膜10cで保護されてプラズマに曝されることがない。このため、メモリトランジスタのゲート電極が帯電し、その下の薄いゲート酸化膜が劣化することもないので、信頼性の高いメモリデバイスを実現することができる。

10

20

30

40

50

【0041】

【発明の効果】以上説明してきたように、本発明に係わる半導体装置及びその製造方法によれば、高耐圧トランジスタのLDD構造におけるオフセット領域の表面削れによるソース・ドレイン間電流の初期値低下、及び当該領域と絶縁膜と界面における電子トラップによるソース・ドレイン間電流のトランジスタ動作中の劣化を有効に防止することができる。また、シリサイド等の導電層を、耐圧を低下させることなく不純物領域上に形成することが容易である。すなわち、シリサイド又はサリサイドプロセスとの適合性が高い高耐圧トランジスタを実現できる。さらに、高耐圧トランジスタ以外の例えばメモリトランジスタ等のゲート絶縁膜劣化防止が図り易い。

【0042】以上より、本発明によって、高耐圧トランジスタの駆動能力低下を防止し、高速化のため不純物領域の低抵抗化が図り易く、加えて他のトランジスタ特性についてゲート電極の帯電も防止して信頼性を高めた半導体装置及びその製造方法を提供することが可能となる。

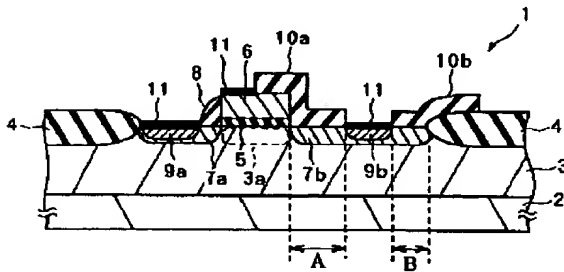
【図面の簡単な説明】

【図1】本発明の第1実施形態に係わる半導体装置の要部（高耐圧トランジスタ部分）を示す概略断面図である。

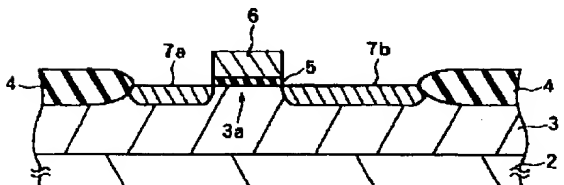
【図2】図1の高耐圧トランジスタの製造過程において、特にゲート絶縁膜の成膜後を示す概略断面図である。

【図3】図2に続き、LDD領域の形成後を示す概略断面図である。

【図1】



【図3】



【図4】図3に続く、成膜後を示す概略断面図である。

【図5】図4に続く、レジストパターン形成後を示す概略断面図である。

【図6】図5に続く、ソース領域およびドレイン領域の形成後を示す概略断面図である。

【図7】本発明の第2実施形態に係わる不揮発性メモリの要部を示す概略断面図である。

【図8】従来の半導体装置について、高耐圧トランジスタ（同図（b））の一例を、通常のトランジスタ（同図（a））と比較して示す概略断面図である。

【図9】（a）～（d）は、図8（b）の高耐圧MOSFETの製造過程の一部を抜き出して示す概略断面図である。

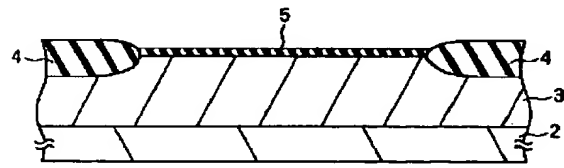
【図10】図8（b）の高耐圧MOSFETの動作中のソース・ドレイン間電流の劣化を示すグラフである。

【図11】図8（b）の高耐圧MOSFETにサリサイド技術を適用した場合の概略断面図である。

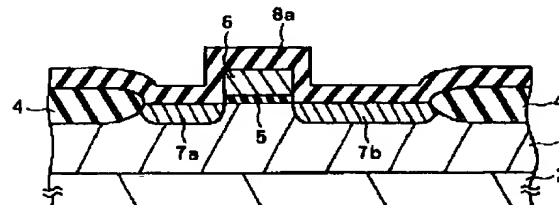
【符号の説明】

1…高耐圧トランジスタ、2…半導体基板、3…pウェル、4…フィールド酸化膜、5…ゲート絶縁膜、6…ゲート電極、7a、7b…LDD領域（低濃度な不純物領域）、8…サイドウォール（側壁スペーサ層）、8a…膜、9a…ソース領域（高濃度な不純物領域）、9b…ドレイン領域（高濃度な不純物領域）、10a、10b…オフセット領域保護用の絶縁膜、10c…他のトランジスタ保護用の絶縁膜、11…シリサイド等の導電層、12…レジストパターン（犠牲層）、12a…開口部。

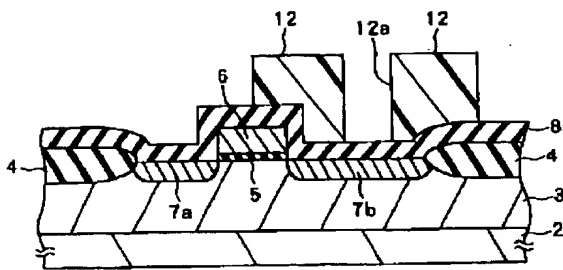
【図2】



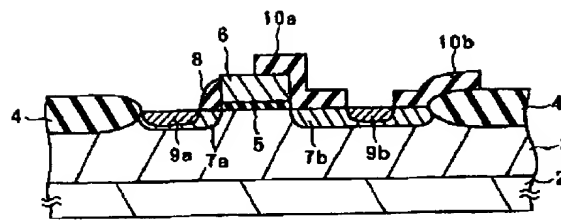
【図4】



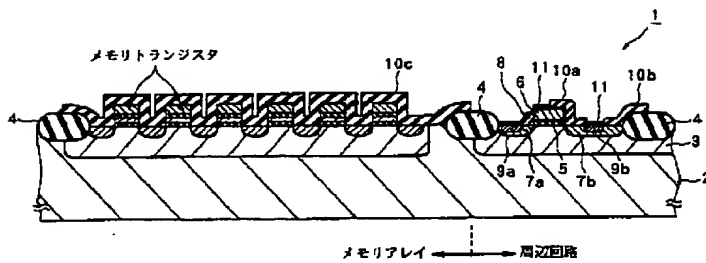
【図5】



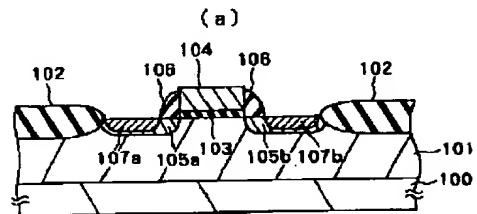
【図6】



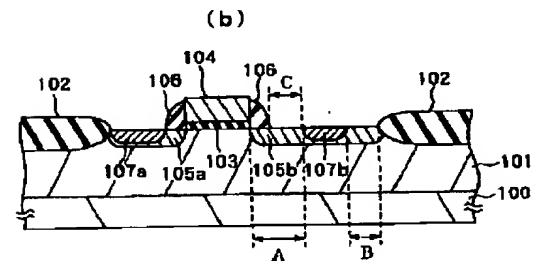
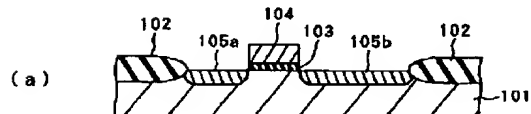
【図7】



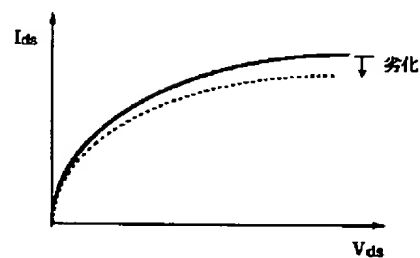
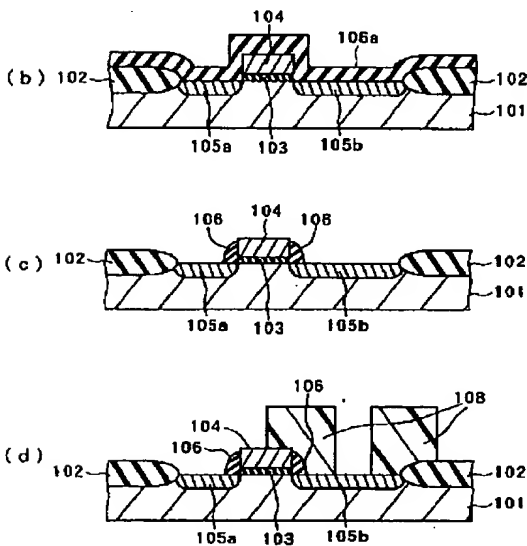
【図8】



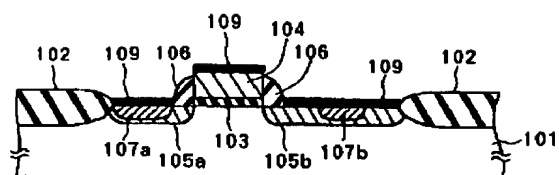
【図9】



【図10】



【図11】



フロントページの続き

(51) Int. Cl.⁶

識別記号

F I

H O 1 L 29/788

29/792